

Diseño y construcción de una fuente de corriente basada en un sintetizador digital directo para tomografía de la impedancia eléctrica

Juan Carlos Murrieta Lee

Resumen—Se presenta el diseño y construcción de una fuente de corriente de multi-frecuencia con la finalidad de ser utilizada en un sistema de adquisición de datos de tomografía de la impedancia eléctrica (TIE). Como fuente de voltaje, se utilizó un circuito sintetizador digital directo (DDS), el AD 7008 de la compañía Analog Devices, para aprovechar sus características y bondades de alto desempeño. El DDS fue programado mediante el uso de circuitos microcontroladores denominados PIC. Como resultado, se obtuvieron frecuencias de oscilación en la banda de interés de 10 kHz con valores de relación señal a ruido en el orden de los 52 dB, la cual es considerada como muy adecuada para aplicaciones en TIE [3].

Palabras clave— Tomografía, fuentes de corriente, sintetizador digital directo.

I. INTRODUCCIÓN

El término sintetizador de frecuencia se aplica a un dispositivo electrónico que se basa en una frecuencia de referencia para generar una o más señales de diferentes-frecuencias mediante una palabra de control. La calidad de la señal de salida se juzga mediante varios factores, siendo uno de los más importantes la degradación que sufre el cristal de referencia a lo largo de la síntesis. Un buen sintetizador presenta una muy alta correlación entre la referencia y la señal de salida, en términos de estabilidad y precisión. Esta función se puede acometer mediante las dos siguientes técnicas:

1. **La síntesis directa o analógica** (figura 1), también denominada mezclador/filtro, utiliza multiplicadores de señal y divisores analógicos para producir la frecuencia deseada.

El proceso se denomina directo porque la etapa de corrección del error se anula, por lo que la calidad de la salida está directamente relacionada con la calidad de la entrada; es decir, se trata de un sistema de control el cual no tiene una realimentación para corregir posibles errores de estabilidad o precisión. Una de las características que lo hacen más potente

es que cuando conmuta de frecuencia de referencia en la salida siempre se obtiene la misma correspondencia entre fase de entrada y salida, a este fenómeno se le denomina memoria de fase. En práctica, debido a que un diseño de mezclador/filtro conmuta entre diferentes frecuencias, se requiere de un banco de osciladores. Esto implica que el sistema se encarezca en función del número de referencias que se requieren en alguna aplicación. Por otro lado, el uso de divisores reduce el costo ya que con una sola referencia se pueden conseguir varias con el simple hecho de dividirla, pero en este caso se produce una pérdida de fase a no ser que se añadan etapas de control para mantener la memoria de fase.

2. **Los sintetizadores indirectos**, también denominados “Phase lock loop” o PLL’s, comparan la salida de un oscilador controlado por tensión (VCO) con alguna referencia. Cuando la salida se desplaza se produce un error y se provoca una corrección sobre el VCO, el cual responde adecuadamente. La detección del error se lleva a cabo en el detector de fase, el cual introduce ruido de fase muy cercano a la portadora sobre todo cuando se pretende una precisión muy alta. Mediante este método se pueden alcanzar frecuencias muy altas, pero la conmutación entre frecuencias podría no ser lo suficientemente rápida para algunas aplicaciones.

II. ARQUITECTURA DE LOS DDS

Los DDS también son conocidos como Osciladores Controlados Numéricamente (NCO), pero hay que tener presente que ningún elemento del DDS oscila. Su estructura puede parecer simple (figura 2), y aun así proporciona ventajas difíciles de conseguir mediante otras técnicas de síntesis. Estas ventajas incluyen la alta velocidad de conmutación entre frecuencias, factor muy importante en sistemas de analizadores de espectro o rastreo multi-frecuencia (scanner).

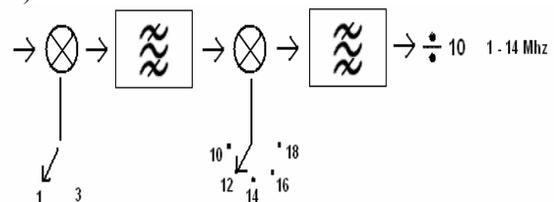


Fig. 1. Utilización de multiplicadores para la generación de frecuencia.

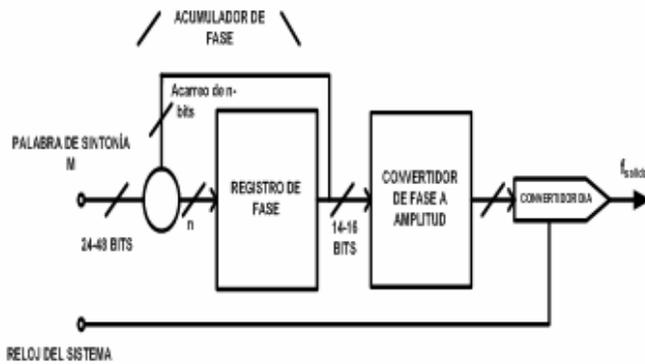


Fig. 2. Principio de funcionamiento del acumulador de fase.

El segundo componente en un DDS es esencialmente memoria o dispositivo de mapeo, o bien un dispositivo que realiza la función no lineal de transformar la rampa acumulada de fase ωt en $sen(\omega t)$. Generalmente se realiza mediante una tabla denominada 'Look Up Table' (LUT). Las señales de gran calidad requieren una gran cantidad de bits para definir ωt y el valor de $sen(\omega t)$, y por lo tanto requiere una gran capacidad de memoria.

Por lo general es el circuito Convertidor Digital Analógico (DAC) el que limita las características del sistema. El circuito DAC tradicional consiste en una matriz de conmutación más un conjunto de fuentes de corriente. La linealidad depende del error de la fuente de corriente. Por otra parte, la precisión de la fuente de corriente que corresponde al MSB (bit de mayor peso) debe ser mayor a la que corresponda al LSB (bit de menor peso). Adicionalmente, el tiempo de establecimiento de la fuente limita la velocidad del sistema. Asumiendo un DAC perfecto, con linealidad ideal, el ruido aún está presente por el error de cuantificación. Y aunque se ha experimentado mucho en el tema aún no se han obtenido resultados prácticos. Otro aspecto del DAC es la energía de 'glitch', que es un transitorio de la señal producido durante la transición del proceso de conversión.

Las ondas sinusoidales son descritas en función de su amplitud como: $a(t) = \sin(\omega t)$. No obstante, éstas son no lineales y por consiguiente no son fáciles de generar. Por otra parte, la información angular es lineal por naturaleza. El ángulo de fase gira al rededor de un ángulo fijo por unidad de tiempo (esta relación se observa en la figura 3). La velocidad angular depende de la frecuencia de la señal con la típica relación:

$$\omega = 2\pi f$$

Sabiendo que la fase de una onda sinusoidal es lineal y dado un intervalo de referencia (periodo del reloj), la rotación de la fase durante el periodo se puede determinar como:

$$\Delta Fase = \omega dt \quad (1)$$

Resolviendo para W:

$$\omega = \frac{\Delta Fase}{dt} = 2\pi f \quad (2)$$

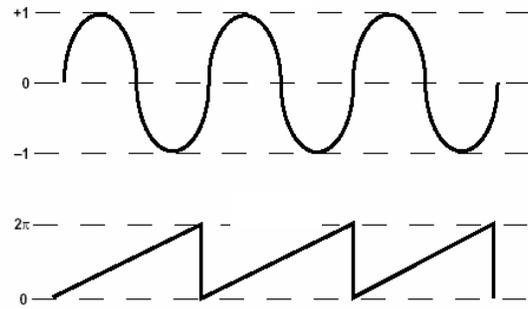


Fig. 3. Relación entre la el incremento de fase y la onda de salida.

Resolviendo para f y relacionando la frecuencia de reloj con el periodo de referencia:

$$\frac{1}{f_{reloj}} = dt \quad (3)$$

$$f = \frac{\Delta Fase * f_{reloj}}{2\pi} \quad (4)$$

El AD7008 construye la salida a partir de esta simple fórmula. Sólo cabe definir el registro de incremento de fase mediante 32 bits de resolución. De este modo un periodo queda definido mediante 32 bits y el incremento de fase entre cualquier valor comprendido entre 0 y 2^{32} . Para un periodo comprendido de una fase igual a 2π , se afirma que en términos del registro de acumulador de fase $2\pi = 2^{32}$.

Así, sustituyendo 2π por la cuantificación binaria en 4 se obtiene:

$$f = \frac{\Delta Fase * f_{reloj}}{2\pi}; \quad 0 \leq \Delta Fase \leq 2^{32} \quad (5)$$

Aparentemente si se programa el incremento de fase con un valor de $232=2\pi$ la frecuencia de salida sería igual a f_{reloj} , pero no es así ya que se debe considerar el teorema de muestreo de Shannon.

III. EL DDS AD7008 Y SU IMPLANTACIÓN EN EL PROTOTIPO

El AD7008 (figura 4) es un DDS fabricado por Analog Devices, es especialmente diseñado para implementar modulaciones digitales. Esta característica se puede ver por los dos registros que aparecen en la entrada del acumulador de fase.

IV. NIVELES DE TENSIÓN DE SALIDA DEL DDS

La salida del conversor digital analógico es señal de corriente, ésta se debe transformar a tensión para ser amplificada. Mediante una resistencia conectada masa y teniendo en cuenta el valor de corriente que pasará por ella, se puede realizar la transformación, $V=R.I$. (el valor de tensión no puede exceder 1 volt de pico a pico. La intensidad de fondo

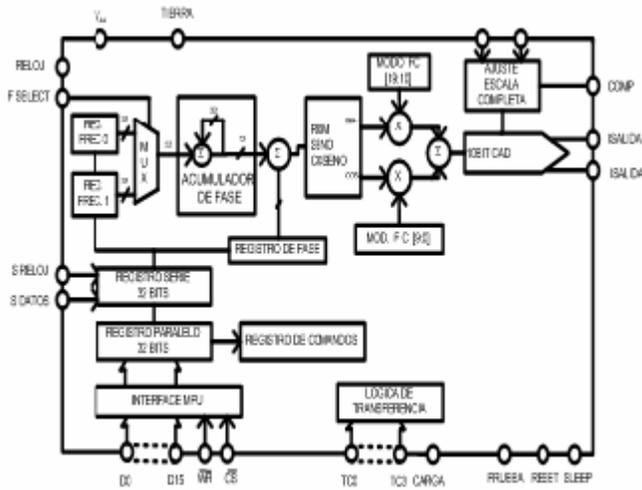


Fig. 4. Esquema de conexiones del AD7008.

($I_{salida\ escala\ completa}$) de escala del convertidor digital analógico lo define el fabricante mediante la Ec. (6), en la que una resistencia R_{set} puede hacer variar este valor, la cual determina el fondo de escala de intensidad. El dispositivo posee una tensión de referencia interna V_{ref} de 1.27V.

$$I_{salida\ escala\ completa} = \frac{6233 * V_{ref}}{R_{set}} \quad \text{Ec. (6)}$$

Teniendo en cuenta estos parámetros se resuelve Rset para obtener un margen dinámico máximo y una impedancia de salida de 50 ohms. El valor típico de $R_{set} = 50 \Omega$.

En el caso práctico, se escogió un potenciómetro de 10kohms, el cual trabajó en un rango de 392 a 8 kohms, teniendo incrementos de corriente 0.1 mA.

La figura 6 muestra el diagrama de conexiones eléctricas de la implementación discreta del prototipo.

Con la finalidad de reducir las frecuencias armónicas producidas por el oscilador local de DDS y que estaban presentes a la salida del circuito, fue necesario diseñar y construir un filtro RLC tipo Butterworth pasa bajos de segundo orden, el cual se muestra en la figura 7.

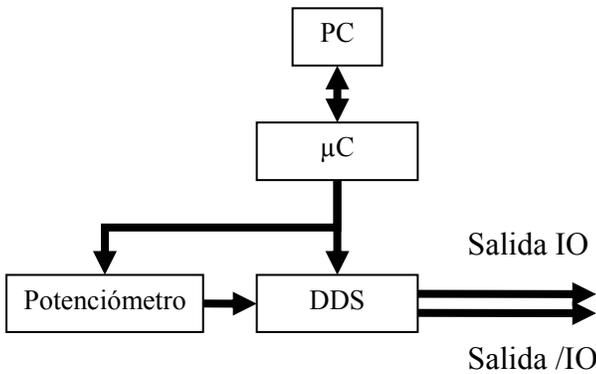


Fig. 5. Diagrama general del prototipo AD7008.

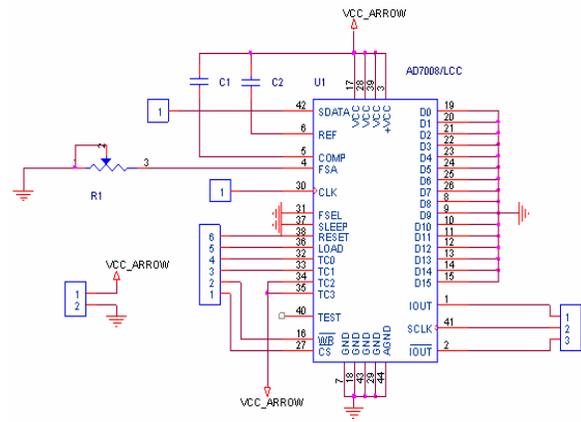


Fig. 6. Implementación en modo serial del AD7008.

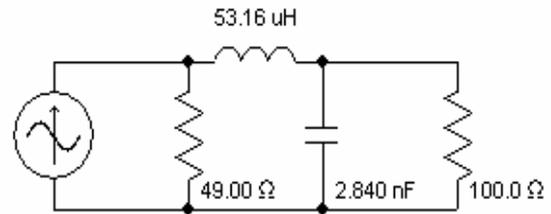


Fig. 7. Circuito pasa bajos segundo orden de Butterworth.

La frecuencia de corte de este filtro es de 1MHz .

V. CONTROL DIGITAL

El AD7008, posee dos modos de comunicación para su programación en línea, el modo paralelo y el modo serial, en modo paralelo es utilizado para aplicación que demanden velocidades, teniendo como consecuencia el incremento del costo en el diseño por las líneas adicionales. El modo serial reduce este costo, sacrificando la velocidad de programación del DDS.

Para programar el DDS en línea es necesario seguir cinco secuencias lógicas

1. Carga de la frecuencia deseada por medio del la comunicación serial síncrona (PC), al microcontrolador.
2. Transmitir sincrónicamente cuatro bytes del microcontrolador al DDS, siendo capturados por el registro de 32 bits.
3. Direccionamiento del las líneas T3-T0, adecuadas para cargar el registro FREQ0 o FREQ
4. Establecer una configuración en los pines de D0 a D4 para posteriormente habilitar las características del DDS, como son: Configuración para la omisión de los bits D15-D8, Configuración para la no omisión de los bits D15-D8 (modo paralelo de 16 bits), bajo consumo de corriente, modulador en amplitud.
5. Carga de los características especiales del DDS, por medio del direccionamiento al registro COMMAND.

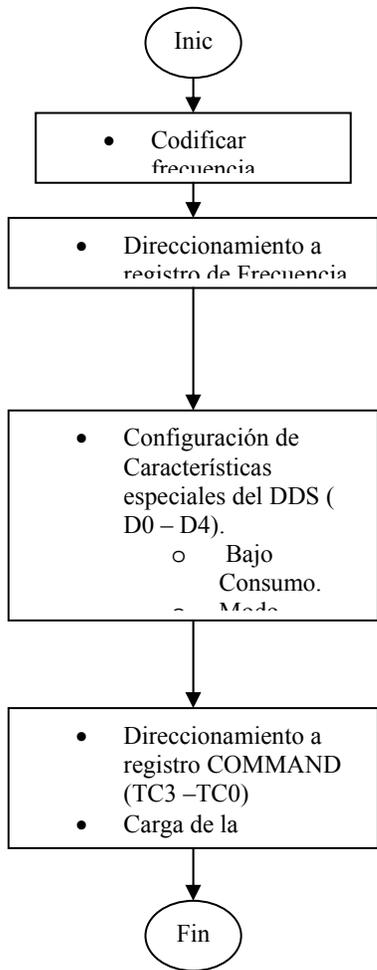


Fig. 8. Diagrama de flujo empleado en la programación del circuito DDS AD7008.

El diagrama de flujo que se implementó para programar el circuito DDS AD7008 se presenta en la figura 8.

El código de control que ejecuta las funciones del diagrama de flujo se muestran a continuación:

```

*****
;
*****
; CONFIGURACION DEL DDS
*****
;
*****
*****
DDS
*****
*****
*****
BCF    PORTC,2
BSF    PORTE,1

clrw
CALL SPI
clrw
CALL SPI
clrw
CALL SPI
    
```

```

clrw
CALL SPI
NOP
NOP
NOP
BCF    PORTD,7      ;TC0 = 0
BSF    PORTD,6      ;TC1 = 1
BSF    PORTD,5      ;TC2 = 1
BSF    PORTD,4      ;TC3 = 1
BSF    PORTC,2      ; LOAD HABILITA

LA CARGA DE REGISTRO SERIAL A DDS
NOP      ; CARGA
NOP      ;
NOP      ; EN PROCESO
NOP      ;
BCF    PORTC,2      ; DESHABILITA

LA CARGA DE REGISTRO SERIAL A DDS
NOP
NOP
NOP
BCF    PORTD,5      ;TC2 = 0
DIRECCIONA AL REGISTRO COMMAND
BCF    PORTD,4      ;TC3 = 0
DIRECCIONA AL REGISTRO COMMAND
; BCF    PORTC,1      ; CM0 (por el
momento no se usa)
; BcF    PORTC,0      ; CM3 (por el
momento no se usa)
BSF    PORTC,2      ; HABILITA LA
CARGA DE REGISTRO SERIAL COMMAND
NOP
NOP
NOP      ; EN PROCESO
NOP      ; EN PROCESO
BCF    PORTC,2      ; DESHABILITA

LA CARGA DE REGISTRO SERIAL A DDS
BcF    PORTE,1      ; habilita la carga paralela
NOP
NOP
NOP
NOP
BSF    PORTE,1

*****
*****
BCF    PORTC,2
BSF    PORTE,1
MOVFWDDS#1_MSW
CALL SPI
MOVFWDDS#1_LSW
CALL SPI
MOVFWDDS#2_MSW
CALL SPI
MOVFWDDS#2_LSW
CALL SPI
NOP
NOP
NOP
BCF    PORTD,7      ;TC0 = 0
BCF    PORTD,6      ;TC1 = 0
BSF    PORTD,5      ;TC2 = 1
BSF    PORTD,4      ;TC3 = 1
BSF    PORTC,2      ; LOAD HABILITA

LA CARGA DE REGISTRO SERIAL A DDS
NOP      ; CARGA
    
```

```

NOP
NOP
NOP
BCF PORTC,2 ; DESHABILITA
LA CARGA DE REGISTRO SERIAL A DDS
NOP
NOP
NOP
NOP
;
BCF PORTD,5 ; TC2 = 0
DIRECCIONA AL REGISTRO COMMAND
BCF PORTD,4 ; TC3 = 0
DIRECCIONA AL REGISTRO COMMAND
; BCF PORTC,1 ; CM0 (por el
momento no se usa)
; BcF PORTC,0 ; CM3 (por el
momento no se usa)
BSF PORTC,2 ; HABILITA LA
CARGA DE REGISTRO SERIAL COMMAND
NOP
NOP
NOP
NOP
BCF PORTC,2 ; DESHABILITA LA
CARGA DE REGISTRO SERIAL A DDS
BCF PORTE,1 ; habilita la carga paralela
NOP
NOP
NOP
NOP
BSF PORTE,1 ; PONE EN UNO RW
NOP
RETURN
*****
*
*****
; RESET DEL DDS
*****
****
RESET_DDS
BSF PORTE,2
NOP
NOP
NOP
BCF PORTE,2
RETURN
*****
****

```

VI. RESULTADOS

Por medio del programa de control gráfico mostrado en la figura 9, se manejó la programación del circuito DDS para las frecuencias de interés. Los resultados obtenidos se presentan en esta sección.

Una vez programado el DDS, se procedió a medir la señal de salida a las frecuencias de interés. En la figura 10 se muestra el espectro de salida para una señal de 10 kHz. En la gráfica se aprecia que posee una relación de señal a ruido aproximadamente de 55dB.

En la figura 11 se muestra el espectro de una señal de 50k Hz. En la gráfica se aprecia que, como en el caso anterior, se

tiene una relación señal a ruido aproximadamente igual 55dB.

El espectro de salida para una señal de 100 KHz. se muestra en la figura 12. Es posible apreciar también una relación señal a ruido de aproximadamente 55dB.

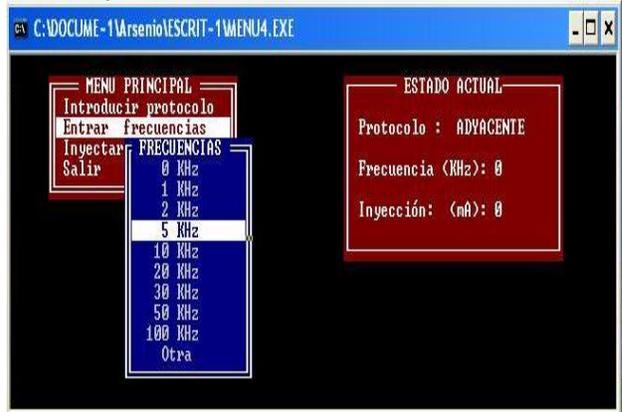


Fig. 9. Programa para el control gráfico del AD7008.



Fig. 10. Espectro de la salida del DDS a 10kHz.

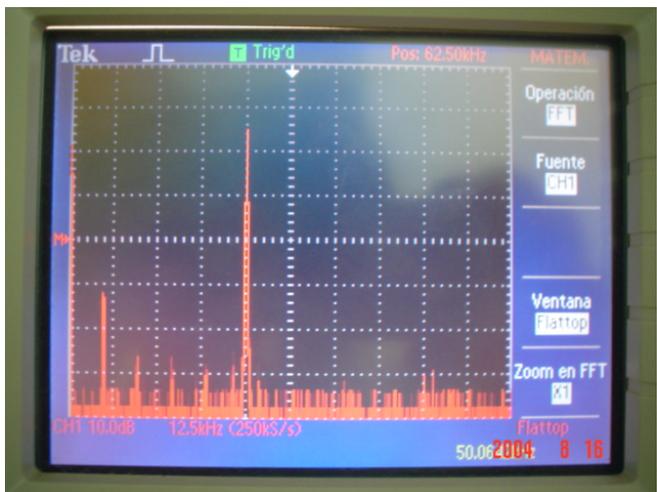


Fig. 11. Espectro de la salida del DDS a 50kHz.

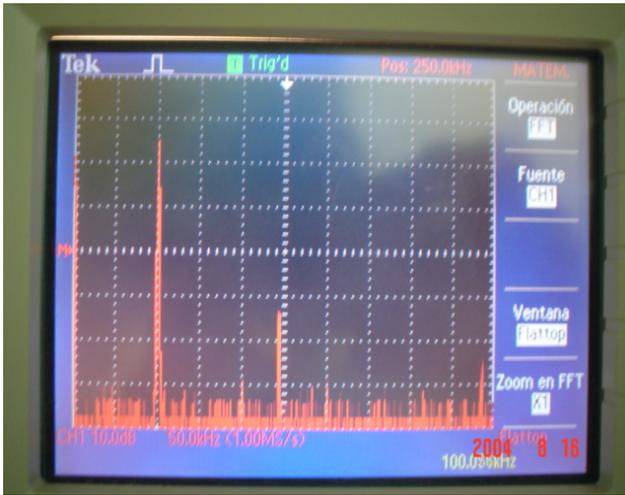


Fig. 12. Espectro de la salida del DDS a 100kHz.

Para frecuencias mayores a 1MHz el DDS, pierde sus cualidades de estabilidad, esto se debe principalmente a dos cosas el estado del oscilador de referencia y la calidad que este haya sido fabricado.

VII. CONCLUSIONES

En este trabajo se han presentado los resultados del diseño y la implementación de una fuente de corriente multi-frecuencia utilizando un circuito oscilador digital DDS, el AD 7800. Las ventajas de éste novedoso diseño es que es posible trabajar en un amplio rango de frecuencias, sin la necesidad de cambios

en los componentes del oscilador de voltaje o la fuente de corriente. Además sirven como una guía más completa para el usuario del DDS en relación a la hoja de datos aportada por los fabricantes. En este trabajo, relaciones de señal a ruido en el orden de los 55 dB fueron obtenidas de manera consistente para el rango de 10 KHz. a 1 MHz. Estos resultados cumplen con las necesidades requeridas en términos de calidad de las fuentes de corriente para aplicaciones como lo es la obtención de imágenes en la tomografía de la impedancia eléctrica.

REFERENCIAS

- [1] AD 7800. Hoja de datos. Compañía Analog Devices. (www.analog.com)
- [2] Analog Devices. High Speed Design Seminar (1990), p.IX-17-IX 22.
- [3] Boone and Holder, "Current approaches to analogue instrumentation design in electrical impedance tomography" *Physiological Measurements*, 17, 1996, p. 229-247.

Juan Carlos Murrieta Lee. Nació en Ciudad Obregón, Sonora. Es Ingeniero en Electrónica y Comunicaciones egresado de la Universidad Autónoma de Nuevo León en 1986. En 1997 obtuvo su grado de maestría en ciencias en Electrónica y Telecomunicaciones en el CICESE en Ensenada, BC. En 1997, fue galardonado con el premio "Mejor tesis de Maestría en Ingeniería" por la Academia Nacional de Ingeniería, México, D.F.

En el 2001 recibió el grado de doctor (PhD) por la University of Manchester Institute of Science and Technology, en Manchester, Reino Unido.

Ha trabajado como técnico auxiliar en el canal 28 de Televisión en Monterrey, Nuevo León y desde 1987 es profesor de tiempo completo por el Departamento de Ingeniería Eléctrica en el ITSON. Sus intereses incluyen: medición y automatización, procesamiento digital de señales, comunicaciones por fibras ópticas y sistemas de sensores para tomografía eléctrica.